

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**

**Publication No. 5-211163**

Lines 23 to 31 of the right column on page 10

In the meanwhile, Figure 18 (b) shows that a part thereof is removed so that a sidewall spacer 73 is left only in the source/drain section. In the present embodiment, since the sidewall spacer on the source/drain side is electrically insulated, the upper wiring layer or the contact electrode may be in contact with the spacer. In this association, the distance between the gate electrode and the contact hole can be set small, and self-alignment contact used for a highly integrated memory process is available.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-211163

(43)Date of publication of application : 20.08.1993

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 04-308485

(71)Applicant : HITACHI LTD  
HITACHI VLSI ENG CORP

(22)Date of filing : 18.11.1992

(72)Inventor : SHIMIZU AKIHIRO  
HASHIMOTO NAOTAKA  
YAMANAKA TOSHIKI  
HASHIMOTO KOJI  
OOKI NAGATOSHI  
ISHIDA HIROSHI

(30)Priority

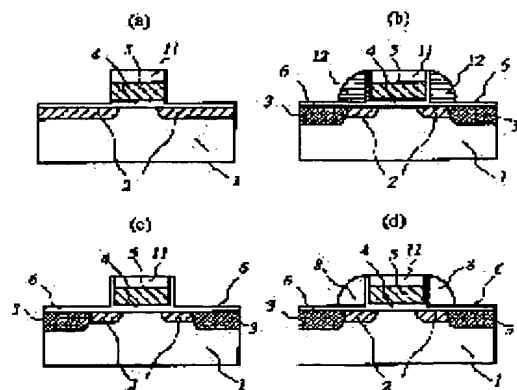
Priority number : 03303061 Priority date : 19.11.1991 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

## (57)Abstract:

**PURPOSE:** To manufacture a MIS field-effect transistor having higher field relieving effect by a method wherein at least the nearby part of a gate electrode sidewall out of the sidewall spacers in the device actuating state after the formation of a drain region is to be made of a high dielectric constant material having the specific dielectric constant exceeding three times the dielectric constant of a gate insulating film.

**CONSTITUTION:** An LDD structured MIS type field-effect transistor is composed of a drain region comprising a low concentration impurity layer 2 and a high concentration impurity layer 3, a gate electrode 5 formed on the low concentration layer 2 through the intermediary of a gate insulating film 4 as well as a sidewall spacer 8 formed on the sidewalls of the gate electrode 5 and the low concentration impurity layer 2. In order to manufacture the spacer 8, after the formation of the low concentration impurity layer 2 and a high concentration impurity layer 3 as the drain region, the sidewall spacer 8 made of the high dielectric constant material having the specific dielectric constant exceeding three times of the dielectric constant of the gate insulating film 4 is formed in the nearby part of the sidewall of gate electrode 5. Through these procedures, the element inner electric field can be relieved by affording a wide gate fringe electric field.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-211163

(43)公開日 平成5年(1993)8月20日

(51)Int.Cl.<sup>5</sup>

H01L 21/336

29/784

識別記号

庁内整理番号

FI

技術表示箇所

7377-4M

H01L 29/78

301 L

審査請求 未請求 請求項の数24(全 14 頁)

(21)出願番号 特願平4-308485

(22)出願日 平成4年(1992)11月18日

(31)優先権主張番号 特願平3-303061

(32)優先日 平3(1991)11月19日

(33)優先権主張国 日本(JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 清水 昭博

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

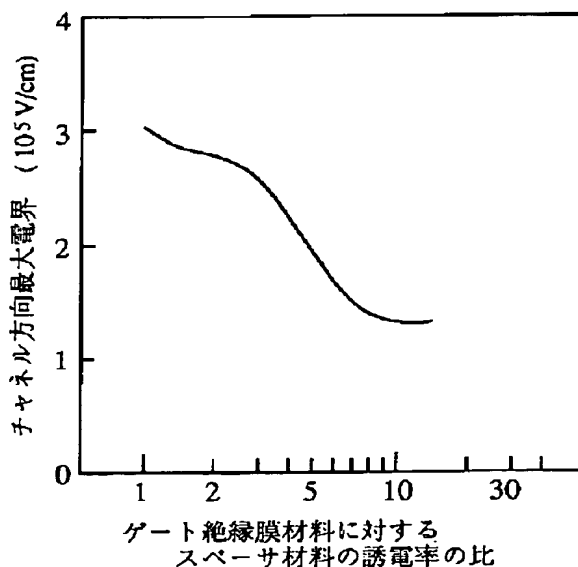
(57)【要約】

【目的】 電界緩和効果の大きなMIS型電界効果トランジスタを提供すること。

【構成】 LDD構造のMIS型電界効果トランジスタにおいて、ドレイン領域2、3の形成後のデバイス動作状態でのサイドウォールスペーサ8のうちゲート電極4の側壁近傍の部分はゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料である。

【効果】 スペーサ材料の誘電率を大きくしてゆくと、その比が3以上において内部電界が急激に低下して、電界緩和効果の大きなMIS型電界効果トランジスタを提供することができる。

図4



## 【特許請求の範囲】

【請求項1】低濃度不純物層と高濃度不純物層とからなるドレイン領域と、

上記低濃度不純物層上にゲート絶縁膜を介して形成されたゲート電極と、

上記ゲート電極の側壁および上記低濃度不純物層上に形成されたサイドウォールスペーサとを有するLDD構造のMIS型電界効果トランジスタであって、

上記ドレイン領域の形成後のデバイス動作状態での上記サイドウォールスペーサのうち少なくとも上記ゲート電極の上記側壁近傍の部分は上記ゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料であることを特徴とする半導体装置。

【請求項2】上記高誘電率材料は、不純物濃度が所定濃度以下の高抵抗半導体であることを特徴とする請求項1記載の半導体装置。

【請求項3】上記高抵抗半導体が、シリコン、ゲルマニウム、ガリウム砒素のすくなくともいずれからなることを特徴とする請求項2記載の半導体装置。

【請求項4】上記高抵抗半導体と該ゲート電極及び該低濃度不純物層との間に絶縁膜を具備したことを特徴とする請求項3記載の半導体装置。

【請求項5】上記高抵抗半導体と該低濃度不純物層との間に存在する絶縁膜の厚さが、上記ゲート絶縁膜の厚さよりも厚いことを特徴とする請求項4記載の半導体装置。

【請求項6】ドレイン領域が低濃度不純物層と高濃度不純物層とからなり、

上記低濃度不純物層上にゲート絶縁膜を介して形成されたゲート電極と、

上記ゲート電極の側壁および上記低濃度不純物層上に形成されたサイドウォールスペーサとを有するLDD構造のMIS型電界効果トランジスタの製造方法であって、上記ドレイン領域としての上記低濃度不純物層と上記高濃度不純物層とを形成した後、上記ゲート電極の上記側壁近傍の部分に上記ゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料を形成することを特徴とする半導体装置の製造方法。

【請求項7】上記高誘電率材料は、不純物濃度が所定濃度以下の高抵抗半導体であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】上記高抵抗半導体が、シリコン、ゲルマニウム、ガリウム砒素のすくなくともいずれからなることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】MIS型電界効果トランジスタのゲート絶縁膜とゲート電極とを半導体基板上に形成する工程と、その後、上記ゲート電極をマスクとした上記半導体基板への不純物導入によりドレイン領域としての低濃度不純物領域を形成する工程と、

その後、上記ゲート電極の側壁に第1のサイドウォール

スペーサを形成する工程と、

上記ゲート電極と上記第1のサイドウォールスペーサとをマスクとした上記半導体基板への不純物導入により上記ドレイン領域としての高濃度不純物領域を形成する工程と、

上記第1のサイドウォールスペーサを除去する工程と、上記ゲート電極の上記側壁近傍の部分に上記ゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項10】上記高誘電率材料は、不純物濃度が所定濃度以下の高抵抗半導体であることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】上記高抵抗半導体が、シリコン、ゲルマニウム、ガリウム砒素のすくなくともいずれからなることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】上記第1のサイドウォールスペーサはシリコン窒化膜であり、

上記第1のサイドウォールスペーサの形成後で、その除去の前に上記第1のサイドウォールスペーサとしての上記シリコン窒化膜をマスクとして上記半導体基板上に選択的に酸化膜を形成することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】上記第1のサイドウォールスペーサは下層シリコン窒化薄膜と上層多結晶シリコン厚膜とから構成されたものであり、

上記ドレイン領域としての上記高濃度不純物領域を形成した後、上記第1のサイドウォールスペーサの上層多結晶シリコン厚膜を除去せしめ、上記第1のサイドウォールスペーサの上記下層シリコン窒化薄膜をマスクとして上記半導体基板上に選択的に酸化膜を形成することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項14】上記ゲート絶縁膜と上記ゲート電極の形成の後、上記第1のサイドウォールスペーサの形成の前に、下地保護膜を形成し、

上記ドレイン領域としての上記高濃度不純物領域を形成した後、上記第1のサイドウォールスペーサを除去せしめ、その後、上記第1のサイドウォールスペーサを除去することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項15】上記第1のサイドウォールスペーサと上記下地保護膜とは、それぞれ多結晶シリコンとシリコン窒化膜とであることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】上記第1のサイドウォールスペーサと上記下地保護膜とは、それぞれシリコン窒化膜と多結晶シリコンとであることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項17】MIS型電界効果トランジスタのゲート

絶縁膜とゲート電極とを半導体基板上に形成する工程と、

その後、上記ゲート電極をマスクとした上記半導体基板への不純物導入によりドレイン領域としての低濃度不純物領域を形成する工程と、

その後、上記ゲート電極の側壁に上記ゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料からなるサイドウォールスペーサを形成する工程と、  
上記サイドウォールスペーサの表面に不純物導入マスク膜を選択的に形成する工程と、

上記ゲート電極と上記サイドウォールスペーサと上記不純物導入マスク膜をマスクとした上記半導体基板への不純物導入により上記ドレイン領域としての高濃度不純物領域を形成する工程とを具備してなり、

上記不純物導入マスク膜の膜厚は、上記高濃度不純物領域の形成のための上記不純物が上記高誘電率材料からなる上記サイドウォールスペーサに実質的に導入されないような厚さに設定されてなることを特徴とする半導体装置の製造方法。

【請求項18】上記高誘電率材料は、不純物濃度が所定濃度以下の高抵抗半導体であることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】上記高抵抗半導体が、シリコン、ゲルマニウム、ガリウム砒素のすくなくともいずれからなることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】上記ゲート絶縁膜と上記ゲート電極の形成の後、上記サイドウォールスペーサの形成の前に、下地保護膜を形成し、

上記ドレイン領域としての上記高濃度不純物領域を形成した後、上記サイドウォールスペーサを除去せしめ、その後、上記サイドウォールスペーサを除去することを特徴とする請求項17記載の半導体装置の製造方法。

【請求項21】上記サイドウォールスペーサと上記下地保護膜とは、それぞれ多結晶シリコンとシリコン窒化膜とであることを特徴とする請求項20記載の半導体装置の製造方法。

【請求項22】MIS型電界効果トランジスタのゲート絶縁膜とゲート電極と該ゲート電極上の上部保護絶縁膜を半導体基板上に形成する工程と、

その後、上記ゲート電極と上記上部保護絶縁膜とをマスクとした上記半導体基板への不純物導入によりドレイン領域としての低濃度不純物領域を形成する工程と、

その後、上記ゲート電極の側壁と上記上部保護絶縁膜の側壁に上記ゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料からなるサイドウォールスペーサを形成する工程と、

上記サイドウォールスペーサの表面に不純物導入マスク膜を選択的に形成する工程と、

上記ゲート電極と上記上部保護絶縁膜と上記サイドウォ

ールスペーサと上記不純物導入マスク膜をマスクとした上記半導体基板への不純物導入により上記ドレイン領域としての高濃度不純物領域を形成する工程とを具備してなり、

上記上部保護絶縁膜の膜厚は、上記高濃度不純物領域の形成のための上記不純物が上記ゲート電極の側壁の近傍の上記サイドウォールスペーサに実質的に導入されないような厚さに設定されてなることを特徴とする半導体装置の製造方法。

10 【請求項23】上記高誘電率材料は、不純物濃度が所定濃度以下の高抵抗半導体であることを特徴とする請求項22記載の半導体装置の製造方法。

【請求項24】上記高抵抗半導体が、シリコン、ゲルマニウム、ガリウム砒素のすくなくともいずれからなることを特徴とする請求項23記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置およびその製造方法に係り、特に高信頼度化、高電流駆動能力化に好適な絶縁ゲート型（以下MIS型と略す）電界効果トランジスタを具備してなる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】MIS型電界効果トランジスタの高信頼度化には、ドレイン構造の改良による素子内部の電界を緩和するのが有効である。従来より公知のMIS型電界効果トランジスタの高信頼度化構造としては、低濃度ドレイン構造、いわゆるLDD（Lightly Doped Drain）構造があげられる。本LDD構造の低濃度拡散層は素子内部電界を緩和しトランジスタの長期的動作信頼性を向上させるが、トランジスタに直列に接続された抵抗として働き電流駆動能力の低下を招く。また、このLDD構造でもゲート長が0.5μm以下になってくると従来電源電圧5Vで使用するのは困難になってきている。このため、LDD構造を改良し、より高信頼度すると共に高電流駆動能力を有する構造として、ゲート電極と低濃度拡散層を十分にオーバーラップさせた構造の検討が行なわれている。この例としては特開昭62-156873号公報、及び特開平1-205470号公報において論じられているように、その低濃度拡散層上部にも導電膜からなるサイドウォールスペーサを設け、自己整合的にゲートとドレインを十分にオーバーラップさせた構造及びその製造方法があげられる。また、別の改良構造としては、特開昭59-231864号公報において論じられているように、多結晶シリコンからなるサイドウォールスペーサを設けた構造及びその製造方法がある。これらの製造方法をそれぞれ図2、図3に示す。1がシリコン基板、2が低不純物濃度のソース、ドレイン拡散層（以後、低濃度拡散層と略す）、3が高不純物濃度のソース、ドレイン拡散層（以

後、高濃度拡散層と略す)、4がゲート絶縁膜、5がゲート電極、そして9、10が多結晶シリコンからなるサイドウォールスペーサである。

【0003】まず、図2に示した公知例は、従来LDD構造におけるサイドウォールスペーサを二酸化シリコンから多結晶シリコンに変えて形成したものである。まず、図2(a)の如く、公知の製造方法により所望の領域に多結晶シリコンからなるゲート電極5を形成後、該ゲート電極5をマスクとしたイオン打ち込みとその後の熱処理で低濃度拡散層2を形成する。次に多結晶シリコンの被膜と異方性のドライエッチングにより図2(b)の如く多結晶シリコンからなるサイドウォールスペーサ9を形成する。最後に図2(c)の如くゲート電極5とサイドウォールスペーサ9をマスクとしたイオン打ち込みとその後の熱処理で高濃度拡散層3を形成する。その後は公知の技術によりトランジスタを完成する。このとき、サイドウォールスペーサ9も高濃度に不純物を導入され、低抵抗体10となっている。

【0004】また、図3に示した公知例は、図3(a)に示すように多結晶シリコンからなるサイドウォールスペーサ9の表面を熱酸化により形成した二酸化シリコン膜13で被膜した後、図3(b)に示すようにゲート電極5とサイドウォールスペーサ9、10をマスクとしたイオン打ち込みとその後の熱処理で高濃度拡散層3を形成したものである。また、図2または図3でゲート電極5とサイドウォールスペーサ電極10との電気的接触は、直接接触させる、あるいはゲート電極側壁の二酸化シリコン超薄膜7を通して接続させる等により実現できる。これによりサイドウォールスペーサ10が低濃度ドレイン2とのオーバーラップ電極となるため、高信頼度

【0005】

【発明が解決しようとする課題】上記従来技術において、ゲート電極と低濃度拡散層を十分にオーバーラップさせたLDD構造は上記通常LDD構造よりも高信頼度化と共に高電流駆動能力化が期待できる。

【0006】しかしながら、サイドウォール電極10が導電膜である図2の公知例においては、高濃度拡散層での電界集中が顕著となり信頼性の低下を招くという問題もあった。また、図3の公知例の構造においては、サイドウォールスペーサである多結晶シリコンの不純物濃度が低くなって、導電体から誘電体となるにつれて電界緩和効果を大きくすることが出来ることが本発明者の検討により明らかとされた。これはサイドウォールスペーサがゲート絶縁膜と同じ絶縁材料であった従来のLDD構造に比べると、シリコンの誘電率がゲート絶縁膜材料

(通常シリコン酸化膜)より大きくでき、ゲート電極5の低濃度拡散層へのゲートフリンジ電界を大きくできることによるものである。しかしながら、図3の公知例では高濃度のソース、ドレインをイオン打ち込みで形成す

るときにサイドウォール上部の酸化膜を通して不純物が導入されてしまう。このため図3の公知例でも、サイドウォールスペーサも低抵抗体なり、図2の公知例と同様に高濃度拡散層での電界集中が顕著となると言う問題があった。従って、本発明の目的とするところは電界緩和効果の大きなMIS型電界効果トランジスタおよびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため本発明の基本的技術思想による半導体装置は、低濃度不純物層と高濃度不純物層とからなるドレイン領域と、上記低濃度不純物層上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極の側壁および上記低濃度不純物層上に形成されたサイドウォールスペーサとを有するLDD構造のMIS型電界効果トランジスタであって、上記ドレイン領域の形成後のデバイス動作状態での上記サイドウォールスペーサのうち少なくとも上記ゲート電極の上記側壁近傍の部分は上記ゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料であることを特徴とする。

【0008】本発明の代表的な実施形態による半導体装置の製造方法は、ドレイン領域が低濃度不純物層と高濃度不純物層とからなり、上記低濃度不純物層上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極の側壁および上記低濃度不純物層上に形成されたサイドウォールスペーサとを有するLDD構造のMIS型電界効果トランジスタの製造方法であって、上記ドレイン領域としての上記低濃度不純物層と上記高濃度不純物層とを形成した後、上記ゲート電極の上記側壁近傍の部分に上記ゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料を形成することを特徴とする。

【0009】

【作用】従って、本発明の基本的技術思想による半導体装置は、ゲート電極の側壁近傍の部分はゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料であるため、ドレイン領域の低濃度不純物層上に大きなゲートフリンジ電界を与えることができ、素子内部電界を緩和できる。これは、ホットキャリアの発生量自体を大幅に減少させる。

【0010】これを図4を用いてさらに詳細に説明する。この図4はLDD構造のMIS型電界効果トランジスタにおけるチャネル方向電界最大値のスペーサ材料の誘電率依存性を計算機シミュレーションしたものである。誘電率はゲート絶縁膜材料(この場合、シリコン酸化膜)の誘電率に対する比で示しており、この値が1の場合スペーサ材料とゲート絶縁膜材料は同一誘電率で通常のLDD構造となる。この結果、スペーサ材料の誘電率を大きくしてゆくと、その比が3以上において内部電界が急激に低下することがわかった。つまり、スペーサ材料のゲート電極の上記側壁近傍の部分の誘電率は、ゲ

ート絶縁膜材料の3倍以上あることが望ましいということである。このように比誘電率が3以上の高誘電率材料としては、実質的にノンドープの高抵抗のシリコン及びゲルマニウム等の半導体で達成することができる。従って、高抵抗の半導体は、誘電体として作用する範囲内であれば極微量な不純物が混入されていても良い。また、本構造では、ゲート電極より遠方の低濃度拡散層領域ほどゲートフリンジ電界が弱まることになる。このため、本構造では、ゲート電極近傍の低濃度拡散層にはゲートドレインオーバーラップ構造と同様に電界緩和効果が働き、かつ遠方の高濃度拡散層端での電界集中による信頼性の低下はほとんど生じないことになる。本発明のその他の目的と特徴は、以下の実施例から明らかとなろう。

#### 【0011】

【実施例】〈実施例1〉以下に本発明の第一の実施例を、図1を用いて説明する。図1は本発明の代表的な製造方法としてnチャネルMIS型電界効果トランジスタを形成する製造工程の概略を示した図である。高抵抗の半導体膜としては、ノンドープの多結晶シリコン膜を用いた場合について説明する。図1(a)は、まずp型 $10\Omega\text{-cm}$ のシリコン基板1上に素子分離領域形成後、二酸化シリコンからなるゲート絶縁膜4、磷を高濃度にドーピングした多結晶シリコン5、二酸化シリコン膜11を順次に被膜し、ゲート電極5をパターンニングした後に、ゲート電極5をマスクに磷のイオン打ち込みとその後の熱処理でn型の低濃度不純物層2を形成した後の断面図を示したものである。ここでゲート絶縁膜4は $8\sim 15\text{nm}$ であり、低濃度不純物層2の磷のドーピング量は $1\sim 2\times 10^{13}/\text{cm}^2$ である。また、ゲート電極加工に高選択比加工を用いたため低濃度不純物層2上の二酸化シリコン膜6の削れは、ごく僅かであった。次に図1(b)の如く、CVD法または熱酸化法を用いて二酸化シリコン6の薄膜を $5\sim 10\text{nm}$ 被膜し、続いて第1のサイドウォールスペーサ用に多結晶シリコン膜12を $150\sim 180\text{nm}$ 被膜する。続いて、多結晶シリコン膜6を異方性ドライエッチングで被膜した膜厚分加工する。この結果、図1(b)の如くゲート電極5側壁に多結晶シリコンからなるサイドウォールスペーサ12を形成できる。このとき、サイドウォールスペーサ12の幅は $130\sim 160\text{nm}$ であった。続いて砒素を $2\sim 5\times 10^{15}/\text{cm}^2$ ドーピングし高濃度不純物層3を形成する。この時、第1のサイドウォールスペーサ12中にも砒素が導入されている。次に図1(c)の如く、上記第1のサイドウォールスペーサ12を、等方性のドライエッチングあるいはウェットエッチングによりこれを除去する。本実施例では、アンモニアやヒドラジン等のアルカリ系の水溶液を用いた。最後に図1(d)の如く、第2のサイドウォールスペーサ用に再びノンドープ多結晶シリコン膜8を $160\sim 200\text{nm}$ 被膜する。続いて、多結晶シリコン膜8を異方性ドライエッチングで被膜した膜厚分

加工する。この結果、ゲート電極5の側壁にノンドープ多結晶シリコンからなるサイドウォールスペーサ8を再び形成できる。このとき、サイドウォールスペーサ8の幅は $140\sim 180\text{nm}$ であった。後の工程は、公知のMIS型トランジスタの形成方法で層間絶縁膜の被膜、コンタクト孔の開孔、そして金属配線層の形成より完成する。このとき、第2のサイドウォールスペーサ8に直接接する層間絶縁膜は、CVD法で形成したノンドープの二酸化シリコン膜を被膜し、その上にボロンリン珪酸ガラス膜を被膜し多層膜構造とした。この結果、以後の工程で第2のサイドウォールスペーサ8に不純物が導入されることはなかった。以上により、従来LDD構造形成プロセスと同様自己整合的に、高抵抗の半導体サイドウォールスペーサを有するLDD構造を形成できる。この結果、ノンドープ多結晶シリコン膜8の誘電率は二酸化シリコン膜の約3倍と大きいために、電界緩和効果は図4のごとく十分に大きい。この結果、サイドウォールスペーサも二酸化シリコンからなる通常のLDD構造のMIS型電界効果トランジスタに比べると、信頼性の指標であるホットキャリア耐圧（伝達コンダクタンス $G_m$ が10年で10%変動するドレイン電圧で定義）を約1V向上させることができた。さらに、本実施例では高濃度不純物層3がサイドウォールスペーサ8の下部にまで延在しているため、電流駆動能力も通常のLDD構造に比べて約20%向上させることができた。なお、上記実施例はnチャネルであったが、導電型を逆にすることによりpチャネルにおいても同様の電界緩和効果を有するトランジスタを得ることができる。また、高抵抗の半導体材料8としては多結晶シリコン膜に限る必要はなく、ノンドープのゲルマニウムあるいはノンドープのガリウム砒素でもよい。また、ゲート電極材料についても金属、金属とシリコンとの多層膜等いずれでも良く、ゲート酸化膜材料も別の高誘電体材料でも良い。特に、今後シリコン酸化膜厚がその薄膜化限界に近づきつつあるため、他の高誘電率の絶縁体（シリコン窒化膜、タンタル酸化膜等）が用いられることが考えられるが、そのときスペーサ材料も高抵抗の半導体に変更した方が良好な特性を得ることができる。さらに、高濃度不純物層3は高抵抗の半導体サイドウォールスペーサの下部まで達していなくても良い。この場合、電流駆動能力向上は小さいものの、電界緩和効果等の信頼性の向上は同等である。つまり、高抵抗の半導体膜は低濃度層の上部の一部、特に、ゲート電極の近傍にあればよい。また高抵抗の半導体膜8はサイドウォールスペーサに限るものではなく、上記位置にあるならば誘電体として働く層間絶縁膜の一部でも良い。特に層間絶縁膜は、被膜特性いわゆるカバレッジの悪い高抵抗の半導体材料の場合に好適となる。

【0012】〈実施例2〉次に本発明の第二の実施例を、図5を用いて説明する。図5は本発明の第1の実施



例においてサイドウォールスペーサ形成時のプロセス裕度を増加させることのできる製造方法を示したものである。高抵抗の半導体膜としては、上記同様ノンドープの多結晶シリコン膜を用いた場合について説明する。図5

(a)は、第一の実施例と同様にp型 $10\Omega\text{-cm}$ のシリコン基板1上に素子分離領域形成後、二酸化シリコンからなるゲート絶縁膜4、磷を高濃度にドーブした多結晶シリコン5、二酸化シリコン膜11を順次に被膜し、ゲート電極5をパターニングした後、ゲート電極5をマスクに磷のイオン打ち込みとその後の熱処理でn型の低濃度不純物層2を形成した後の断面図を示したものである。ここでゲート絶縁膜4は $8\sim 15\text{nm}$ であり、低濃度不純物層の磷のドーブ量は $1\sim 2\times 10^{13}/\text{cm}^2$ である。また、ゲート電極5上部には予め二酸化シリコン膜11を $150\sim 200\text{nm}$ 被膜してある。次に図5

(b)の如く、CVD法を用いて二酸化シリコンの薄膜を $5\sim 10\text{nm}$ 、続いて第1のサイドウォールスペーサ用にシリコン窒化膜14を $150\sim 180\text{nm}$ 被膜する。続いて、シリコン窒化膜14を異方性ドライエッチングで被膜した膜厚分加工する。この結果、図5(b)の如くゲート電極5の側壁にシリコン窒化膜からなるサイドウォールスペーサ14を形成できる。このとき、サイドウォールスペーサ14の幅は $130\sim 160\text{nm}$ であり、スペーサ下部以外のシリコン基板上の二酸化シリコン膜はほとんど残っていない。続いて、シリコン基板上に熱酸化膜を選択的に $15\sim 30\text{nm}$ 程度形成する。これによりスペーサ14の下部以外のシリコン基板上の二酸化シリコン膜15のみを厚膜化することができる。すなわち第1のサイドウォールスペーサ14の材料は耐酸化性材料である必要がある。その後、砒素を $2\sim 5\times 10^{15}/\text{cm}^2$ ドーブし高濃度不純物層3を形成する。

次に図5(c)の如く、上記第1のサイドウォールスペーサ14を等方性のドライエッチングあるいはウェットエッチングにより除去する。最後に図5(d)の如く、第2のサイドウォールスペーサ用にノンドープの多結晶シリコン膜8を $160\sim 200\text{nm}$ 被膜する。続いて、多結晶シリコン膜8を異方性ドライエッチングで被膜した膜厚分加工する。この結果、ゲート電極5側壁に多結晶シリコンからなるサイドウォールスペーサ8を形成できる。このとき、サイドウォールスペーサ8の幅は $140\sim 180\text{nm}$ であった。後の工程は、第1の実施例と同じ工程で完成する。第2のサイドウォールスペーサ8中には第1の実施例と同様に以後の工程で不純物が導入されることはなかった。以上により形成されたトランジスタにおいて、第2のサイドウォールスペーサ8下部の二酸化シリコン膜の厚さ6は、この工程を経ることにより最終的には $5\sim 8\text{nm}$ となり、ゲート絶縁膜4の厚さよりも薄くなっている。ここで第2のサイドウォールスペーサ8の幅は、図5(b)で示した第1のサイドウォールスペーサ14の幅よりも大きい方がよい。これが逆

に小さいと第2のサイドウォールスペーサ8形成時にシリコン基板をも加工してしまう恐れがあるからである。本実施例によれば、スペーサ下部以外のシリコン基板上の二酸化シリコン膜15のみを厚膜化することができるため、第2のサイドウォールスペーサ8形成時にシリコン基板をも加工してしまうことがなく、プロセス裕度が非常に大きくすることができる。ただし本実施例では、スペーサ14の下部の二酸化シリコン膜6の厚は、図5(c)において第1のサイドウォールスペーサ14を等方性エッチングで除去する時になくならないような厚さが必要である。しかし、二酸化シリコン6の膜厚が厚過ぎると、ゲート電極端近傍では比較的厚い酸化膜が残ることになり、電界緩和効果が小さくなってしまふ。これを防ぐ方法として、さらに本実施例を改良した方法を図5(e)(f)に示す。これは第1のサイドウォールスペーサをシリコン窒化膜の薄膜16と多結晶シリコンの厚膜17から形成したものである。この時の工程図を図5(e)に示す。低濃度不純物層2形成までは、上記実施例と同一である。多層膜からなる上記第1のサイドウォールスペーサ16、17を除去するとき、スペーサの大部分を占める多結晶シリコン17の除去はシリコン窒化膜16で止めることができる。次に薄いシリコン窒化膜16が被膜されていない露出しているシリコン基板を図5(f)のように選択的に酸化して、二酸化シリコン膜15を $20\sim 30\text{nm}$ 形成する。続いてシリコン窒化膜16を等方性エッチングで除去後、図5(d)と同様の工程で完成する。以上により、本実施例によればプロセス裕度をさらに向上させ、かつ第一の実施例と同等以上の特性を有するトランジスタを得ることができた。

【0013】〈実施例3〉次に本発明の第三の実施例を、図6及び図7を用いて説明する。

【0014】図6は本発明の第二の実施例と同様にサイドウォールスペーサ形成時のプロセス裕度を増加させることのできる製造方法示した図である。サイドウォールスペーサ用高抵抗の半導体膜としては、ノンドープの多結晶シリコン膜を用いた場合について説明する。図6

(a)は、まずp型 $10\Omega\text{-cm}$ のシリコン基板1上に素子分離領域形成後、二酸化シリコンからなるゲート絶縁膜4、磷を高濃度にドーブした多結晶シリコン、そして比較的厚い二酸化シリコン膜11を被膜し、ゲート電極5を公知の技術でパターニングした後、該ゲート電極5をマスクに磷のイオン打ち込みとその後の熱処理でn型の低濃度不純物層2を形成した後の断面図を示したものである。ここでゲート絶縁膜4は $9\sim 15\text{nm}$ であり、低濃度不純物層2の磷のドーブ量は $1\sim 2\times 10^{13}/\text{cm}^2$ である。また、ゲート電極加工に高選択比加工を用いたため低濃度不純物層2上の二酸化シリコン膜6の削れは、ごく僅かであった。次に図6(b)の如く、乾熱性雰囲気での熱酸化によりゲート電極側壁に $5\sim 10\text{nm}$ の二酸化シリコン膜を形成し、続いてCVD法を

用いてシリコン窒化膜の薄膜40を10~20nm、さらに第1のサイドウォールスペーサ用に多結晶シリコン膜12を150~180nm被膜する。続いて、多結晶シリコン膜12を異方性ドライエッチングで被膜した膜厚分加工する。このとき、シリコン窒化膜の薄膜40が下地シリコン酸化膜の加工に対する保護膜となっている。この結果、図6(b)の如くゲート電極5側壁に多結晶シリコンからなるサイドウォールスペーサ12を形成できた。このとき、サイドウォールスペーサの幅は150~200nmであった。続いて砒素を $2\sim 5\times 10^{15}/\text{cm}^2$ ドーブし、850℃、10分程度の窒素雰囲気中で熱処理で高濃度不純物層3を形成する。この時、第1のサイドウォールスペーサ12中にも砒素が高濃度導入されている。次に図6(c)の如く、第1のサイドウォールスペーサ12を等方性のドライエッチングあるいはウェットエッチングによりこれを除去し、続いてシリコン窒化膜の薄膜40をウェットエッチングにより除去する。ここで、第1のサイドウォールスペーサがシリコンからなる場合には、ウェットエッチング溶液として、アンモニアやヒドラジン等のアルカリ水溶液を用いると、下地絶縁膜との選択比を非常に高くできる。最後に図6(d)の如く、第2のサイドウォールスペーサ用に再びノンドープ多結晶シリコン膜8を160~200nm被膜する。続いて、多結晶シリコン膜8を異方性ドライエッチングで被膜した膜厚分加工する。この結果、ゲート電極5側壁に多結晶シリコンからなるサイドウォールスペーサ8を再び形成できる。このとき、サイドウォールスペーサ8の幅は140~180nmであった。後の工程は、公知のMIS型トランジスタの形成方法で層間絶縁膜の被膜、コンタクト孔の開孔、そして金属配線層の形成より完成する。このとき、第2のサイドウォールスペーサ8に直接接する層間絶縁膜は、CVD法でノンドープの二酸化シリコン膜を被膜し、その上にボロンリン珪酸ガラス膜を被膜し多層膜構造とした。この結果、以後の工程で第2のサイドウォールスペーサ8に不純物が導入されることはなかった。以上により、第一の実施例と同様自己整合的に、高抵抗の半導体サイドウォールスペーサを有するLDD構造を形成できる。この結果、第1のサイドウォールスペーサ形成時にスペーサ下地シリコン酸化膜薄膜6を削ることはなかった。これにより、より大きなプロセス裕度で第一の実施例と同様の特性を有するMIS型電界効果トランジスタを得ることが出来た。上記実施例では、第1のスペーサ及び下地酸化膜の保護膜材料としてそれぞれ多結晶シリコン、及びシリコン窒化膜を用いた。第1のスペーサとしては、除去しやすい材料であればいかなる材料でも良く、例えばシリコン窒化膜を用いても良い。このときは、下地保護用薄膜としては多結晶シリコンを用いれば良い。この場合は、不純物層及びゲート電極表面を自己整合的にシリサイド化する場合に好適となる。

【0015】また、図7に上記第三の実施例の製造方法を応用して形成した他のMIS型電界効果トランジスタの断面図を示す。まず、図7(a)は上記実施例において、サイドウォールスペーサ8の下部の二酸化シリコン薄膜の厚さの制御性を向上させたものである。上記実施例では、ゲート電極加工後の熱酸化により二酸化シリコン薄膜をゲート電極側壁と共に形成している。しかしながら、本方法ではn型に高ドーブされた多結晶シリコン電極の場合、特に大きなゲートバースピークができやすいため、膜厚をあまり厚く形成することはできない。このため、この図7(a)の実施例では、図6(b)において、シリコン窒化膜40を形成する前に、二酸化シリコンの薄膜41をCVD法で10~15nm程度形成した。これにより、ゲートバースピークの形成無しに、ゲート電極側壁シリコン酸化膜厚を10~15nm、スペーサ下地シリコン酸化膜厚を15~20nmとスペーサ下地シリコン酸化膜厚をゲート電極側壁シリコン酸化膜厚に比べて厚く形成できた。本方法は、ゲート電極としてシリコン以外の材料を用いたときにより有効である。一方、図7(a)の代替技術である図7(b)は、サイドウォールスペーサ下地絶縁膜として、急速酸化及び急速窒化法を用いて形成した窒化酸化膜42にしたものである。本膜は二酸化シリコン膜よりもシリコンとの界面特性にすぐれ、ホットキャリア等によるトラップも生成されにくい。これにより、本材料より形成されたトランジスタの長期的信頼性を大きく向上できた。同様な代替技術である図7(c)は、上記実施例において第1のスペーサ幅に対してノンドープ多結晶シリコンからなる第2のスペーサ43の幅を短くしたものである。このとき、第2のスペーサ43の幅は、第1のスペーサ幅に対して高濃度不純物層3が横方向に拡散して伸びる長さ分短くしたものである。これにより、ゲートとソース/ドレイン間の余分な寄生容量を最小限に抑えることができた。同様な代替技術である図7(d)は、上記実施例におけるノンドープ多結晶シリコンからなる第2のスペーサ8とドレイン3とを、別の配線層で接続したものである。本実施例では、多結晶シリコンからなる配線層45を用いた。なお、44はCVD法で形成した二酸化シリコンからなる層間絶縁膜である。これにより、スペーサ中に注入されたホットキャリアを速やかに排出できるため、長期的信頼性をより向上させることができた。最後に、図7(e)は、上記実施例においてノンドープ多結晶シリコンからなる第2のスペーサの形状に改良を加えたものである。本実施例では、スペーサの異方性ドライエッチング時に側壁保護用堆積物が付きやすいエッチング条件を用い、スペーサ上部に比べてその下部が厚くなる順テーパ形状を有するスペーサ46を形成したものである。これにより、ゲート電極段差を大きく緩和でき、上層配線層の形成が容易になった。なお、以上説明してきた実施例は全てシリコン基板上に形成したMIS

型電界効果についてであるが、基板は絶縁膜上に形成した薄膜シリコンあるいは多結晶シリコン何れでもよい。また、この場合、ゲート電極は薄膜シリコンの一面のみならず両面にあってもよい。

【0016】〈実施例4〉次に本発明の第四の実施例を、図8、図9、図10を用いて説明する。これらは本発明の第一の実施例よりも工程数の削減を可能にする製造方法を示したものである。高抵抗の半導体膜としては、上記同様ノンドープの多結晶シリコン膜を用いた場合について説明する。

【0017】図8(a)は、第一の実施例と同様にp型10Ω-cmのシリコン基板1上に素子分離領域形成後、二酸化シリコンからなるゲート絶縁膜4、磷を高濃度にドープした多結晶シリコン5、二酸化シリコン膜11を被膜しゲート電極5をパターニングした後、ゲート電極5をマスクに磷のイオン打ち込みとその後の熱処理でn型の低濃度不純物層2を形成した後の断面図を示したものである。ここでゲート絶縁膜4は8~15nmであり、低濃度不純物層の磷のドーザ量は $1 \sim 2 \times 10^{13} / \text{cm}^2$ である。また、ゲート電極上部には予め二酸化シリコン膜11を200~350nmと厚く被膜し段差を大きくしてある。次に図8(b)の如く、CVD法を用いて二酸化シリコンの薄膜6を5~10nm、続いて第1のサイドウォールスペーサ用にノンドープの多結晶シリコン膜19を100~130nm被膜する。続いて、多結晶シリコン膜19を異方性ドライエッチングで加工する。この結果、図8(b)の如くゲート電極5側壁に多結晶シリコン膜からなるサイドウォールスペーサ19を形成できる。このとき、サイドウォールスペーサ19の幅は80~120nmであり、スペーサ高さは図のようにゲート電極段差の一部を覆うように形成されている。次に第2のサイドウォールスペーサ用にシリコン窒化膜20を100~150nm被膜する。続いて、シリコン窒化膜20を異方性ドライエッチングで被膜した膜厚分加工する。この結果、図8(c)の如くゲート電極5側壁と第1のサイドウォールスペーサ19の周囲にシリコン窒化膜からなるサイドウォールスペーサ20を形成できる。その後、図8(d)の如く砒素を上記第1、第2のサイドウォールスペーサ19、20をマスクに $2 \sim 5 \times 10^{15} / \text{cm}^2$ イオン打ち込みし高濃度不純物層3を形成して完成する。後の工程は、上記第2の実施例と同じ工程で完成する。シリコン窒化膜からなる第2のサイドウォールスペーサ20中には第1の実施例と同様に不純物が導入されるが、ノンドープの多結晶シリコンからなる第1のサイドウォールスペーサ19中には不純物が導入されることはなかった。本実施例によれば、高濃度不純物層形成時にマスクとなるサイドウォールスペーサの形成とその除去工程を省くことができ、工程数を大幅に削減できる。さらに、スペーサ下部の絶縁膜の厚さの制御をより容易なものとするができる。

なお、第2のサイドウォールスペーサ20の材料としては、シリコン酸化膜でも良い。この場合には、第2のサイドウォールスペーサ加工時に、シリコン基板上的シリコン酸化膜6が無くなってしまいが、高濃度不純物層用の不純物イオン打ち込み前にCVD法でシリコン酸化膜を10nm程度被膜すれば良い。

【0018】次に、上記実施例と同様に高濃度不純物層形成時にマスクとなるサイドウォールスペーサの形成とその除去工程を省くことができる別の実施例を図9を用いて説明する。これは、サイドウォールスペーサ形成前に耐酸化性を有する薄膜を被膜しておき、サイドウォールスペーサの表面のみを選択的に酸化することにより高濃度不純物層用の不純物が導入されないようにしたものである。まず図9(a)は、第2の実施例と同様にp型10Ω-cmのシリコン基板1上に素子分離領域形成後、二酸化シリコンからなるゲート絶縁膜4、磷を高濃度にドープした多結晶シリコン5、二酸化シリコン膜11を被膜しゲート電極5をパターニングした後、ゲート電極5をマスクに磷のイオン打ち込みとその後の熱処理でn型の低濃度不純物層2を形成した後の断面図を示したものである。ここでゲート絶縁膜4は8~15nmであり、低濃度不純物層の磷のドーザ量は $1 \sim 2 \times 10^{13} / \text{cm}^2$ である。また、ゲート電極上部には予め二酸化シリコン膜11を150~200nm被膜してある。次に、CVD法を用いてシリコン窒化膜21の薄膜を20~30nm被膜する。次に図9(b)の如く、続いてサイドウォールスペーサ用にノンドープの多結晶シリコン膜8を170~200nm被膜し、続いて多結晶シリコン膜8を異方性ドライエッチングで被膜した膜厚分加工する。この結果、図9(b)の如くゲート電極5側壁に多結晶シリコン膜からなるサイドウォールスペーサ8を形成できる。このとき、サイドウォールスペーサの幅は150~180nmであり、下地シリコン窒化膜21は全面に残っている。次に図9(c)の如く多結晶シリコン膜からなるサイドウォールスペーサ8の表面露出部分のみに熱酸化膜22を100~150nm形成する。その後、図9(d)の如く砒素を $2 \sim 5 \times 10^{15} / \text{cm}^2$ イオン打ち込みし高濃度不純物層3を形成する。後の工程は、上記実施例と同じ工程で完成する。このとき、サイドウォールスペーサ表面の二酸化シリコン膜22の厚さは続いて行うイオン打ち込みでイオンが通過できない厚さであるのに対して、シリコン基板上的絶縁膜21の厚さはイオンが十分通過する厚さである。このため、多結晶シリコンからなるサイドウォールスペーサ8中には第一の実施例と同様に不純物が導入されることはなかった。また、本実施例では図9(c)で示した工程後高濃度不純物層形成用イオン打ち込み工程の前に露出しているシリコン窒化膜21を除去してもよい。本実施例によれば、上記実施例と同様に高濃度不純物層形成時にマスクとなるサイドウォールスペーサの形成とその除去工程

を省くことができ、工程数を大幅に削減できる。さらに、スペーサ下部の絶縁膜の厚さの制御がより容易なものとする事ができる。

【0019】また図10は、上記実施例と同様に高濃度不純物層形成時にマスクとなるサイドウォールスペーサの形成とその除去工程を省くことができるさらに別の実施例を示したものである。これは、サイドウォールスペーサの高さを十分に高く形成することにより、高濃度不純物層用の不純物が導入されても不純物が実質的にゲート電極側壁部まで到達しないようにしたものである。まず図10(a)は、第2の実施例と同様にシリコン基板1上にゲート電極5と低濃度不純物層2を形成した後、ノンドープの多結晶シリコンからなるサイドウォールスペーサ8を形成した後の断面図を示したものである。ここでゲート絶縁膜4は8~15nmであり、低濃度不純物層の燐のドーザ量は $1\sim 2\times 10^{13}/\text{cm}^2$ である。また、ゲート電極上部には予め二酸化シリコン膜11を350~400nmと十分に厚く被膜してある。次に図10(b)の如く、CVD法を用いて二酸化シリコンの薄膜23を5~10nm被膜後、砒素を $2\sim 5\times 10^{15}/\text{cm}^2$ イオン打ち込みし高濃度不純物層3を形成する。後の工程は、上記実施例と同じ工程で完成する。このとき、多結晶シリコンからなるサイドウォールスペーサ8中には第1の実施例とは異なり、その上部に二酸化シリコンの薄膜を通して高濃度不純物層用の不純物が導入されている。しかしながら、本実施例では図10

(b)の如く、その後の熱処理工程を経ても高濃度不純物層形成用の不純物はスペーサ上部のみに存在しゲート電極側壁まで到達していない。この結果、第一の実施例とほぼ同様の効果を得ることができた。本実施例では、上記不純物がゲート電極側壁まで拡散しないように、ゲート電極上部に予め形成する二酸化シリコン膜の厚さを十分に厚くし段差を高くしておくことが必要である。また、その後の熱処理は、急速アニール法等を用い、熱履歴を小さくしておく必要がある。本実施例によれば、上記実施例と同様に高濃度不純物層形成時にマスクとなるサイドウォールスペーサの形成とその除去工程を省くことができ、工程数を大幅に削減できる。特に本実施例の工程数は従来のLDD形成工程と比較してもほとんど変わらない。また、スペーサ下部の絶縁膜の厚さの制御がより容易なものとする事ができる。

【0020】〈実施例5〉次に、本発明の第一、二及び第三の実施例に示した製造方法を用いて形成した他の構造の実施例を図11を用いて説明する。まず、図11

(a)は低濃度不純物層2と高濃度不純物層3とからなるソース領域とドレイン領域を立体的に形成し、素子特性の向上を図ったものである。尚、先の実施例と同様に、1はp型シリコン基板、2は低濃度不純物層、3は高濃度不純物層、4はゲート絶縁膜であり、特に本実施例ではシリコン基板1に200~300nmの溝を形成

し、ここにゲート電極27を埋め込んである。このとき、基板内溝段差部に前述のいずれかの方法で高抵抗半導体からなるサイドウォールスペーサ25を形成してある。これにより、ソース、ドレイン不純物層深さの大きくできるため、低抵抗でかつ低容量の不純物層と共に、第一の実施例と同様の効果を得ることができる。また、図11(b)は第一の実施例のシリコン基板1を絶縁基板31上のシリコン薄膜31に変えたものである。このシリコン薄膜は、単結晶でも多結晶でもよい。いずれにしろ前述の効果のほかに薄膜化効果が起こり、短チャネル効果抑制とより一層の電界緩和効果を得ることができた。さらに、図11(c)は第一の実施例において、低濃度不純物層2を省き、高濃度不純物層32のみでMIS電界効果トランジスタを形成したものである。このとき高濃度不純物層は拡散係数の十分に大きな不純物の導入と十分な熱処理により、スペーサの外から形成してある。本実施例によれば、信頼性向上のあまり必要としない場合、例えばpチャネルMIS型電界効果トランジスタにおいて、電流駆動能力を向上できる。特に本実施例では、高濃度不純物層を斜めイオン打ち込みで形成するときにより好適となる。

【0021】〈実施例6〉次に本発明の第六の実施例を、図12から図17を用いて説明する。図12から図17は、本発明の第一の実施例がnチャネル単一であったものを、相補型電界効果MISトランジスタ(CMOS)のプロセスに応用した場合の製造方法を示したものである。高抵抗の半導体膜としては、上記同様ノンドープの多結晶シリコン膜を用いた場合について説明する。

【0022】図12は、まず、第一の実施例と同様にp型10Ω-cmのシリコン基板50上にp型ウエル51、n型ウエル52を各素子の形成予定領域にそれぞれ公知の方法で形成後、厚い二酸化シリコンからなる素子分離領域53、二酸化シリコンからなるゲート絶縁膜54を形成した後の断面図を示したものである。このとき、ウエル表面の不純物濃度は $2\sim 4\times 10^{17}/\text{cm}^3$ であり、ゲート絶縁膜54は8~13nmであった。次に図13の如く、燐を高濃度にドーピングした多結晶シリコンを200~300nm被膜しゲート電極55をパターンニングした後、nチャネルには該ゲート電極55をマスクに燐のイオン打ち込み56とその後の熱処理でn型の低濃度不純物層58を形成し、pチャネルには砒素のイオン打ち込み57とその後の熱処理でp型の低濃度不純物層59を形成した。ここで低濃度不純物層の燐及び砒素のドーザ量は $1\sim 2\times 10^{13}/\text{cm}^2$ である。続いて図14の如く、CVD法を用いて二酸化シリコンの薄膜60を5~10nm、続いてシリコン窒化膜の薄膜61を20~30nm、さらに第1のサイドウォールスペーサ用に燐が十分高濃度に導入されたドーパド多結晶シリコン膜62を公知のCVD法で150~180nm被膜する。次に図15の如く、このドーパド多結晶シリコ

ン膜62を異方性ドライエッチングで被膜した膜厚分加工する。この結果、図15の如くゲート電極55側壁に多結晶シリコン膜からなるサイドウォールスペーサ63、64を形成できる。このとき、サイドウォールスペーサ63、64の幅は130~160nmである。その後、nチャネル側には砒素65を、pチャネル側には砒素66を $2\sim5\times10^{15}/\text{cm}^2$ イオン打ち込みとその後の熱処理で高濃度不純物層67、68を形成する。このとき、サイドウォールスペーサ63には高濃度の砒素が、サイドウォールスペーサ64には高濃度の砒素が導入されている。しかしながら、このとき重要なのはpチャネル側のサイドウォールスペーサ64がn型のままであることである。次に図16の如く、上記第1のサイドウォールスペーサ63、64を等方性のドライエッチング、あるいはウェットエッチングによりこれを除去する。一般に、下地二酸化シリコン膜との選択比が大きい等方性系のエッチング(SF<sub>6</sub>系ガスによるドライエッチング及びアルカリ水溶液によるウェットエッチング)においては、n型シリコンはエッチングされるが、p型シリコンはほとんどエッチングされない。従って、このエッチングのために両スペーサ63、64を、共にn型にしておくのが望ましい。最後に図17の如く、第2のサイドウォールスペーサ用にノンドープの多結晶シリコン膜を140~180nm被膜する。続いて、多結晶シリコン膜を異方性ドライエッチングで被膜した膜厚分加工する。この結果、ゲート電極55の側壁にノンドープ多結晶シリコンからなるサイドウォールスペーサ69を形成できる。このとき、サイドウォールスペーサ69の幅は140~180nmであった。後の工程は、上記第1の実施例と同じ工程で完成する。第2のサイドウォールスペーサ69中には第1の実施例と同様に以後の工程で不純物が導入されることはなかった。以上により形成されたトランジスタにおいて、第2のサイドウォールスペーサ69下部の二酸化シリコン膜の厚さは、上記工程を経ることにより最終的には8~15nmとなり、ゲート絶縁膜厚さよりも厚くなっている。ここで第2のサイドウォールスペーサ69の幅は、図15で示した第1のサイドウォールスペーサ63、64の幅よりも短い方が良く、nチャネルにおいて高濃度不純物層67の拡散端程度にすると良い。このとき、pチャネルでは高濃度不純物層68の端は第2のスペーサ下部まで到達している。本実施例によれば、n、pチャネルMIS型電界効果トランジスタを自己整合的に、かつ余分な工程の増加無しに第1の実施例と同等以上の特性を有するトランジスタを得ることができた。なお、上記実施例では、第1のサイドウォールスペーサ用多結晶シリコンには、CVD法で膜を被膜する時点で、高濃度のn型不純物が導入されている。この多結晶シリコンへの不純物導入法としては、通常のゲート電極への導入法と同じ燐の熱拡散法、あるいはイオン打ち込み法を用いても良い。何れに

しろ予め導入する不純物量は、pチャネルの高濃度不純物層用の不純物導入量よりも十分に多くなければならない。また、本実施例の製造方法により形成されてなるMIS型電界効果トランジスタをDRAMあるいはSRAM等のメモリの少なくとも周辺回路に適用するとなんら設計の変更無しにより高速動作が可能となる。プロセッサ等の高速ロジックにはより一層好適である。

【0023】〈実施例7〉最後に本発明の第七の実施例を、図18を用いて説明する。本実施例は、上記実施例に示された製造方法より形成してなるMIS型電界効果トランジスタの別の実施例を示したものである。高抵抗の半導体膜としては、上記同様ノンドープの多結晶シリコン膜を用いた場合について説明する。図18は、MIS型電界効果トランジスタの代表的な平面図である。前述の第一及び第二の実施例に示された製造方法により形成したMIS型電界効果トランジスタにおいては、図18(a)の如くゲート電極70周囲全部にノンドープ多結晶シリコンからなるサイドウォールスペーサ72が形成される。このため、ソース及びドレイン側のサイドウォールスペーサが電氣的に高抵抗で接続されていることになり、上層配線層あるいはコンタクト電極がスペーサに接触するとソース/ドレイン間でリーク電流が流れてしまう。これに対して図18(b)はその一部を除去し、ソース/ドレイン部分にのみサイドウォールスペーサ73を残したものである。本実施例によれば、ソース及びドレイン側のサイドウォールスペーサが電氣的に絶縁されているため、上層配線層あるいはコンタクト電極がスペーサに接触しても問題はない。従って、ゲート電極とコンタクト孔との距離を短くでき、また高集積メモリプロセスに用いられる自己整合コンタクトも可能である。

#### 【0024】

【発明の効果】本発明によれば、ゲート電極の側壁近傍の部分はゲート絶縁膜の誘電率の3倍以上の比誘電率を有する高誘電率材料であるため、ドレイン領域の低濃度不純物層上に大きなゲートフリンジ電界を与えることができ、素子内部電界を緩和することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の製造方法を示す工程図である。

【図2】従来の公知例の製造方法を示す工程図である。

【図3】別の公知例の製造方法を示す工程図である。

【図4】半導体スペーサによる電界緩和効果を示した図である。

【図5】本発明の第2の実施例の半導体装置の製造方法を示す工程図である。

【図6】本発明の第3の実施例の半導体装置の製造方法を示す工程図である。

【図7】本発明の第3の実施例の半導体装置の別の製造方法を示す工程図である。

【図8】本発明の第4の実施例の半導体装置の製造方法を示す工程図である。

【図9】本発明の第4の実施例の半導体装置の別の製造方法を示す工程図である。

【図10】本発明の第4の実施例の半導体装置の別の製造方法を示す工程図である。

【図11】本発明の第5の実施例の半導体装置の構造の断面図である。

【図12】本発明の第6の実施例の半導体装置の製造方法を示す工程図である。

【図13】本発明の第6の実施例の半導体装置の半導体装置の製造方法を示す工程図である。

【図14】本発明の第6の実施例の半導体装置の半導体装置の製造方法を示す工程図である。

【図15】本発明の第6の実施例の半導体装置の半導体装置の製造方法を示す工程図である。

【図16】本発明の第6の実施例の半導体装置の半導体

装置の製造方法を示す工程図である。

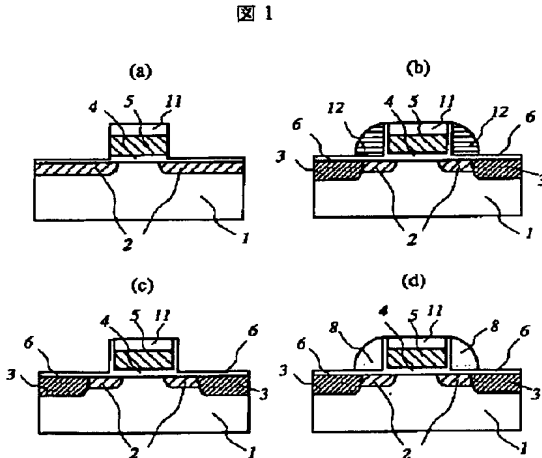
【図17】本発明の第6の実施例の半導体装置の半導体装置の製造方法を示す工程図である。

【図18】本発明の第7の実施例の半導体装置の半導体装置の平面図である。

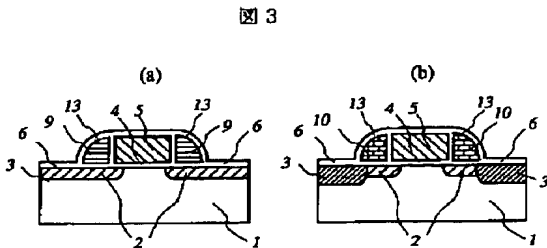
#### 【符号の説明】

1、50…シリコン基板、2…低濃度拡散層、3、32…高濃度拡散層、4…ゲート絶縁膜、5、27、55…ゲート電極、6、15、18、60…シリコン基板上の二酸化シリコン薄膜、7、13、23、25、41…二酸化シリコン膜、8、19、26、43、46、69…ノンドープ多結晶シリコンからなるサイドウォールスペーサ、9、10、12、17、63、64…多結晶シリコンからなるサイドウォールスペーサ、11、22、28、30…二酸化シリコン膜、14…シリコン窒化膜からなるサイドウォールスペーサ、16、20、21、40、61…シリコン窒化膜。

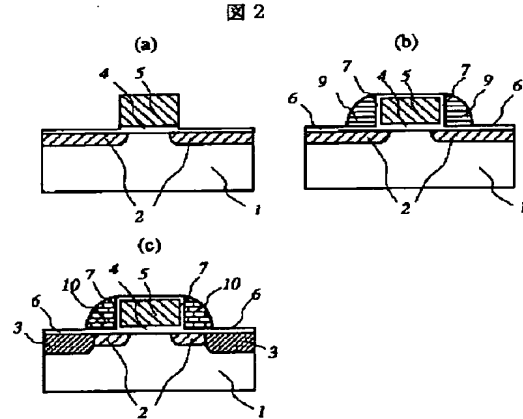
【図1】



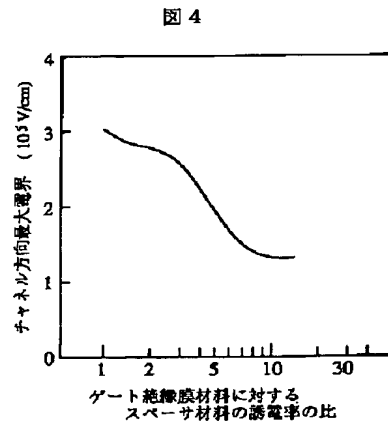
【図3】



【図2】

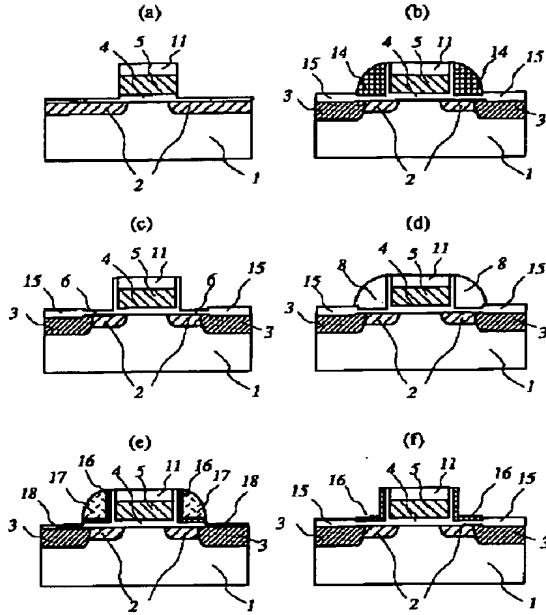


【図4】



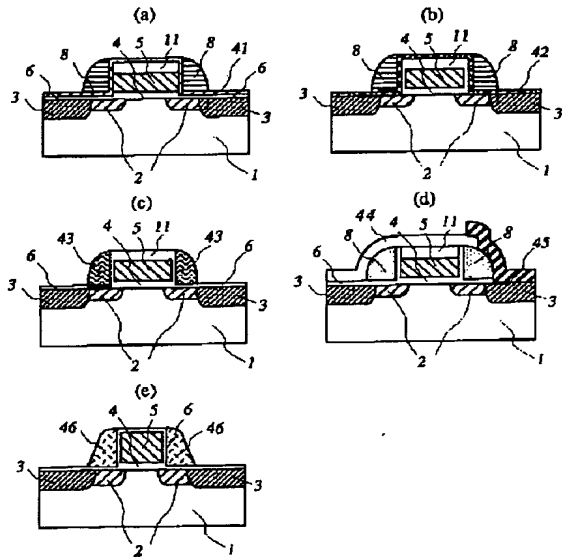
【図5】

図5



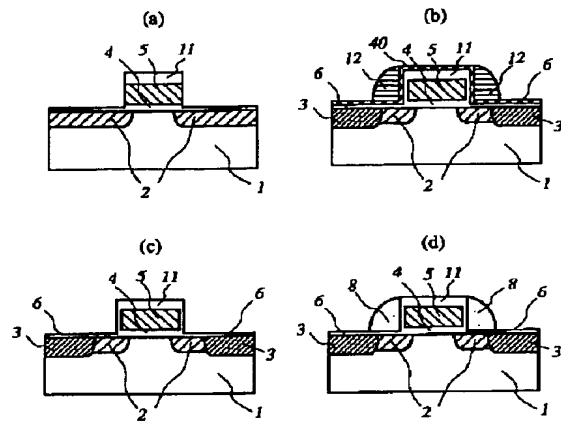
【図7】

図7



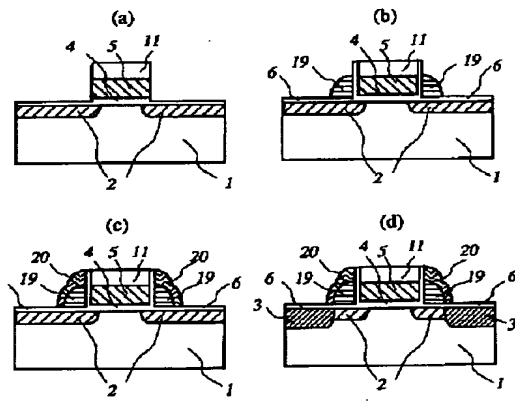
【図6】

図6



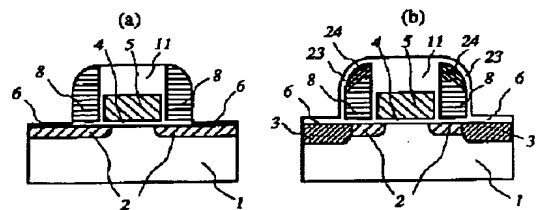
【図8】

図8



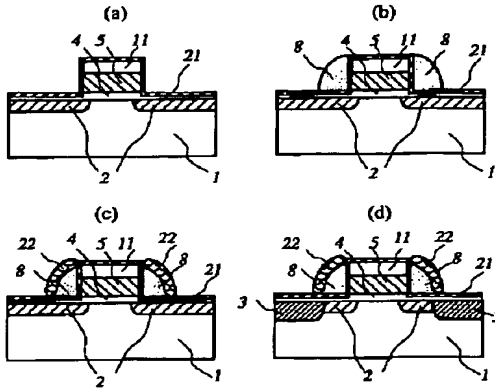
【図10】

図10



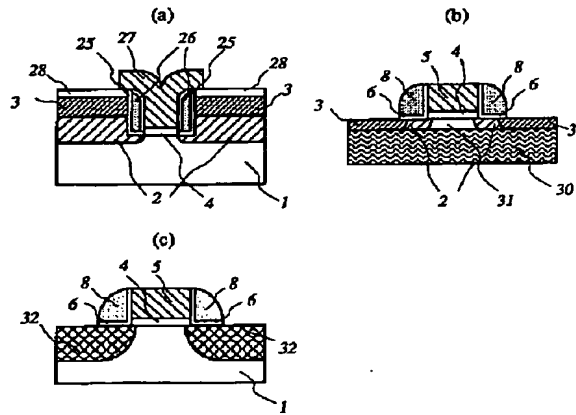
【図9】

図9



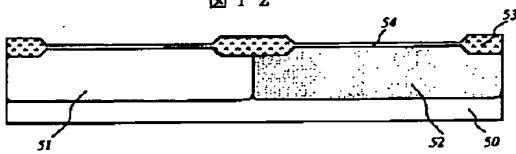
【図11】

図11



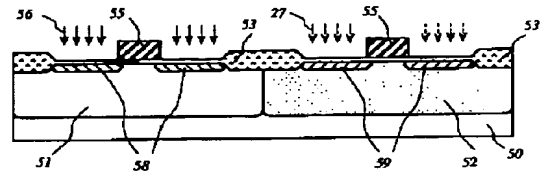
【図12】

図12



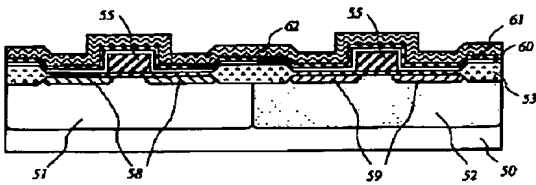
【図13】

図13



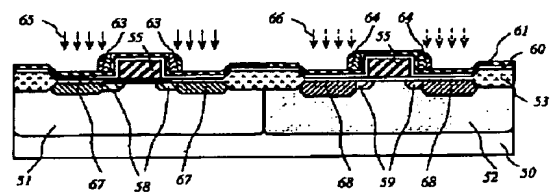
【図14】

図14



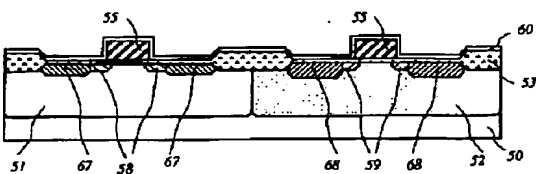
【図15】

図15



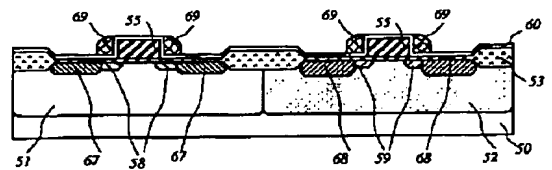
【図16】

図16



【図17】

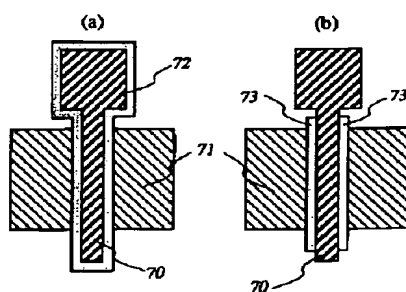
図17





【図 1 8】

図 1 8



---

フロントページの続き

(72)発明者 橋本 直孝  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72)発明者 山中 俊明  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72)発明者 橋本 孝司  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72)発明者 大木 長斗司  
東京都小平市上水本町 5 丁目 20 番 1 号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 石田 浩  
東京都小平市上水本町 5 丁目 20 番 1 号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内